

О ПРИМЕНЕНИИ АВТОМАТНЫХ МОДЕЛЕЙ ДЛЯ АНАЛИЗА НЕИСПРАВНОСТЕЙ ОПЕРАТИВНОЙ ПАМЯТИ

Либерг И. Г.¹⁾, Евсина Н. А.¹⁾

¹⁾ *Национальный технический университет
«Харьковский политехнический институт», г. Харьков,
E-mail: i_liberg@ukr.net, newquasar838@gmail.com*

В настоящее время наблюдается повышенный интерес к вопросам диагностирования оперативной памяти (ОЗУ). Этот интерес связан с тем, что ОЗУ является доминирующим компонентом как в составе современных компьютерных систем – внешняя оперативная память -, так и в составе встроенных систем System on Chip (SoC) – встроенная оперативная память. По некоторым оценкам [1], встроенная память занимает более 90 % площади кристалла SoC .

Для анализа неисправностей ОЗУ общепринятым инструментом является множество моделей Ван дер Гура [2].

На основании этих моделей было разработано большое количество тестов линейной длины с последовательным перебором адресов или, так называемых, маршевых тестов, которые имеют оригинальные имена, например « March-C », « March-S » и т.д.

Однако , несколько ранее, Хэйсом была предложена модель памяти на макро уровне описания [3]. Согласно этой модели ОЗУ с одноразрядной организацией представляется в виде конечного автомата Мили M_N , содержащего N элементов памяти, которое обозначается как $S = \{ C_0, C_1, \dots, C_n, \dots, C_{N-1} \}$, где индекс ячейки указывает ее адрес .

По отношению к каждой ячейки памяти C_n определены три типа входных операций: запись «0»- \overline{W}_n ; запись «1»- W_n ; считывание – R_n .

Работа автомата M_N описывается системой уравнений, которые связывают последующее состояние автомата и его выход с текущим состоянием и входом. Поскольку $(3N+1)$ возможных значений входных операций не могут проводиться одновременно и взаимно исключают друг друга, то уравнение состояний, описывающее функцию переходов автомата в виде

$$y = \delta(y, \beta) ,$$

можно представить системой из $(3N+1)$ уравнений в виде

$$W_n(y_0^j, \dots, y_n^j, \dots, y_{N-1}^j) = (y_0^j, \dots, 1, \dots, y_{N-1}^j) , \quad (1)$$

$$\overline{W}_n(y_0^j, \dots, y_n^j, \dots, y_{N-1}^j) = (y_0^j, \dots, 0, \dots, y_{N-1}^j) , \quad (2)$$

$$R_n(y_0^j, \dots, y_n^j, \dots, y_{N-1}^j) = (y_0^j, \dots, y_n^j, \dots, y_{N-1}^j) , \quad (3)$$

$$\beta_n(y_0^j, \dots, y_n^j, \dots, y_{N-1}^j) = (y_0^j, \dots, y_n^j, \dots, y_{N-1}^j) , \quad (4)$$

$$n=0, 1, \dots, N-1 ; j=0, 1, \dots, 2^N-1 .$$

Значение функции выходов $z=\lambda(y,\beta)$ определяется следующим образом

$$z(y_j, \widetilde{W}n) = x, \quad (5)$$

$$z(y_j, R_n) = y_n^j, \quad (6)$$

$$z(y_j, \beta) = x, \quad (7)$$

$$n=0, 1, \dots, N-1; \quad j=0, 1, \dots, 2^N-1;$$

где $\widetilde{W}n$ - операция записи («0»или «1») в ячейку C_n ,

R_n – операция считывания («0»или «1») из ячейки C_n .

В проведенных исследованиях мы попытались наложить множество моделей Ван дер Гура на автоматную модель Хейеса при условии, что только один вид неисправности может иметь место при проведении эксперимента. Оказалось, что любая одиночная неисправность соответствующая модели Ван дер Гура приводит к искажению функций переходов и выходов исправного автомата при проведении операций записи и считывания в каждую из N ячеек памяти. Аналитически эта модель представляется в виде отображения

$$y_j \xrightarrow[z, z^f]{\beta} y_i, y_f, \quad (8)$$

Выражение (8) описывает влияние неисправности, под действием которой автомат перешел из состояния y_j в состояние y_f вместо состояния y_i при подаче входного символа β , порождая при этом выход z^f вместо z . Это соответствует исчезновению дуги в автоматном графе, ведущей из состояния y_j в y_i , и появлению новой дуги из y_j в состояние y_f .

Таким образом, появляется возможность формализованного синтеза новых, более эффективных тестовых последовательностей, на основе анализа неисправностей ОЗУ с применением автоматной модели памяти.

Список литературы

1. Ioannis Voyiatzis, Antonis Paschalis. A Concurrent Built-In Self-Test Architecture Based on a Self-Testing RAM // IEEE TRANS ON RELIABILITY, VOL. 54, NO. 1, MARCH 2005.
2. A.J. van de Goor, «Testing Semicon doctor Memories, Theory and Practice», Com Tex Publishing,. Gouda, The Netherlands, 1998.
3. Hayes S. P. Detection of pattern-sensitive fault in random-access memories / S. P. Hayes // IEEE Trans. Comp., 1975. – № 2. – P. 150– 157.